DIALOG(R) File 347: JAPIO (c) 1999 JPO & JAPIO. All rts. reserv.

01470048 **Image available** MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO. :

59-181648 [JP 59181648 A] October 16, 1984 (19841016)

PUBLISHED:

INVENTOR(s): FUKAZAWA YUJI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation). JP

(Japan)

APPL. NO.:

58-056057 [JP 8356057]

FILED:

March 31, 1983 (19830331)

ABSTRACT

PURPOSE: To flatten the surface and thus pervent the step-cut of wiring by a method wherein low temperature fused film is left on the side wall of the second insulation film and fused, after a wiring having a steep stepwise difference is formed on a semiconductor substrate, and then the second insulation film and said fused film are successively formed over the entire surface.

CONSTITUTION: After forming a thermal oxide film 12 on a P type Si substrate 11 as the semiconductor substrate, a polycrystalline Si layer is formed thereon and patterned, thus forming the wiring 13. Successively, the SiO(sub 2) film 14 and a BPSG film 15 as the low temperature fused film are successively formed over the entire surface by a normal pressure CVD. The BPSG film 15 is etch-removed by RIE in the atmosphere of CF(sub 3)Br and Cl(sub 2) gasses until the surface of the SiO(sub 2) film 14 exposes. A gentle BPSG film 16 is formed by fusing a BPSG film 15' left by heat treatment, resulting in the manufacture of the titled device.

19 日本国特許庁 (JP)

①特許出願公開

型公開特許公報(A)

昭59—181648

\$\int. Cl.\frac{1}{21/88} 21/302 識別記号

庁内整理番号 6810-5 F 8223-5 F 珍公開 昭和59年(1984)10月16日

発明の数 1 審査請求 未請求

(全 4 頁)

②半導体装置の製造方法

②特

頭 昭58-56057

20出

願 昭58(1983)3月31日

@発 明 者 深沢進二

川崎市幸区堀川町72番地東京芝 浦電気株式会社堀川町工場内

写出 願 人 株式会社東芝

川崎市幸区堀川町72番地

少代 理 人 弁理士 鈴江武彦

外2名

99 48 28

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (2) 配線の材料が多緒点シリコンからたることを特徴とする祥許請求の範囲県 L 項記載の半導体接近の製造方法。
- (3) 低退格製性技製としてリン・ケイ設かする膜あるいはホウネーリンケイ設かラス膜を用いることを特徴とする特許請求の範囲新し設記録の半導体装置の製造方法。
- 3. 発明の評価な説明

[免明の技術分野]

本発明は半導体装置の製造方法に関し、特に 配数の新切れを防止するために装固を平坦化し た半導体装置の製造方法に製する。

(発明の技術的背景とその問題点)

炭末、表面を平塩化した半導体衰退は、例えば第1回(a).(b)に示す如く製造されている。

まず、例えばSI基板1上に無線化調2を形成した後、この無限化與2上の所定箇所に多緒晶シリコンからたる配線3を形成する。つづいて、全面にCVD - SiO2 與3、ホウ素・リンケイ設がラス膜(BPSG 換)5を選及形成する(第1 図(a) 図示)。 次いで、無過温を増してBPSG 膜3を消除し、発面がただらかたBPSG 膜3を形成して半導体装金を製造する(第1 図(b) 図示)。

しかしなから、前巡した製造方法によれば、 第1回(b)に示す如く証譲す上に CVD - SiO₂ 決す、 BPSG 選がが存出するため、組織すとニンタクト をとる場合、ニンタクト穴の設さ(t) とコンタクト 空(d) の比(シ/ o) が、 CVD - SiO₂ 製すだけし か用いない場合と比べて大きくたる。したかっ

特局昭59-181648(2)

て、親2四に示す如くコンタクトがとりにくく なる欠点があった。

٠,٠

また、他の半導体製御の製造方法としては、 男3函(g)~(e)化示ナ方法が知られている。まず、 常法によりSi基限1上に為級化数2至形以し、 この熱酸化膜2上に多結晶シリコンからさる配 題6,6を形式する。つづいて、全国に CVD -SiO, 與7、 BPSG 與《全藏改形或した後、前記 BPSC 獲 8 上化兹 BPSC 與 8 とほぼ等しい退択止 を有したフォトレジスト與りを形式して設置を 平坦化する(第3図回図示)。次いで、反応性 イオンエッテング (RIE) により、前記フェト レジスト終りとBPSG 袋もを所定果さまでエッチ ング除去する(第3回的図示)。更に、投存す るフェトレジスト似りを放去し、表面が平坦な 半導体異数を製造する(新3図(c)函示)。しか しながら、こうした製造方法によれば、BPSC 袋 8 とほぼ毎しい選択比を有するフォトレジスト 裂りを退択することが困難である。また、炭終 的な殺菌形状は、配根6,6、CVD~SiO。與了

ュブ、半導体基体としてのp型のSI基板!! 上代》之约1000人の私政化版12を形成した 後、この熟設化級13上に CVD 伝により厚さ約 4000人の多は品シリコン暦(凶示セナ)を形 双し、パターニングして世級13を形成した。 つづいて、常臣 CVD により金函に与さ約3000% の SiO, 終 / 4、 世話路歴性無限としての浮さ的 80001の10BPSG 9415を脳灰形取した(新4図 (a) 15 示)。 なか、BPSC 歳15 中のポロン及びり ンの通ばは、夫々約 2×10²¹ m⁻¹ でらった。次 いて、CF₁8,とCL₂ ガス採出気で、RISにより 前配 BPSG 級」5 を S102段1 4 の表面が異型する さてエッチング後去した。との始末、前記紅藤 !」に対応する SiO₂ 袋!」の解盤にのみBPSG 袋 15'が存在した(叫4盥回盈示)。なか、との 工程にかいて、RIEに代ってイオンミリング等 の具方性エッテングを行なって頻単に BPSG Qを 以存させてもよい。更に、約900℃、20分 海融処理を超して競符した BPSG 独15'を追認し てなたらかな BPSG 腕16を形成し、半時体裂域

及び BPSC 臭 8 の夫々の厚み、配線 6 , 6 間の距離、フォトレジスト臭の値類に大きな影響を受けるため、実用性に欠ける。

〔発明の目的〕

本発明は上記事情に選ぶてなされたもので、 表面を平型化して配線の新切れを阻止し得る半 導体装置の製造方法を装供することを目的とす るものである。

〔発明の武芸〕

本発明は、半導体基体上に集1の絶縁度を介して急峻を設立かる有する配慮を形成した後、 全面に第2の絶縁護、低温解散性 安護を積欠形 成し、しかる後前記被契を前起配線に対応する 前記糾2の絶縁襲の少なくとも関連に残存させ、 更に践存した被膜を溶散することによって、表 面を平坦化させ、配線の斬切れを紡止する。 である。

(発明の実施的)

以下、本発明の一実施例を無4図(a)~(c)を診照して説明する。

を製造する(第4図(c)図示)。

しかして、本発明によれば、蒸散化設12上 の配線」3を含む全面に SiO2 質! J、 BPSC 項 15を順次形成した後、 RIE により前記風線 1 3 に対応する SiO₂ 頃1 4 の 関整 にのみ BPSG 設 15'を残存させ、更に熱処理を施してなだらか た BPSG 翼16を形成できるため、表面全体をなだ らかにできる。したがって、BPSG 譲!6 を含む SiO2 族.1 4上に2 沿目の配線を形成した場合、 **刑記配譲!」の設度部での断切れを防止できる。** - また、第1函(6)函示の従来の半導序接触と比 べ、単級13とのコンメクト領収にはSiOz額 14のテレガ存在したいため、コンジクト穴の 祭さが従来よりも幾くたり、コンメクトがとり やすくなる。しかも、第4國(6)に示す如く、 RIEにより配破しるに対応するSiO2 装1 + の期 転にわずかな BPSC 襲! 5'を要存するだけである ため、低温かつ選母間でただらかなBPSC膜Io 全形成でき、君子寺性への悪影響を低級できる。

更に、第3回(4)~(4)の従来の製造方法の如く、

特問昭59-181648(3)

フォトレジスト級を用いることに超型するBPSG 級との通択元の間通券を回避できる。

なか、上記災策例では、1月日の配張の材料 として多結晶シリコンを用いたが、これに扱う ず、例えばW. Mo 等の高級点金額もるいにMoSi 毎を用いてもこい。

上記客店別では、近旦お母生改選としてBPSG 鎮を用いたが、これに殴らず、別えばリン・ケイ酸ガラス選挙の低温で軽敵できるもの。たら 全てよい。

上記突後例では、BPSC 塩を配象に対応するSiO2 製の側壁に設存させる場合について述べたが、これに限らず、例えば譲る 並に示す如く、SiO2 製1 4 の側壁に BPSC 製1 5 を設存するとともに、その他の領域に挙さ1000を展変の部のBPSC 製1 7を設存する場合でも上記英始的とほぼ同級な効果を期待できる。

上記等應例では、p型のSi基板上で無配化度 を介して配級を形成した場合について述べたが、 これに限らず、サファイア等の絶談性監抜上の 半導体海上に角裂化級を介して配機を形成して もよい。

〔発明の効果〕

以上詳述した如く本発明によれば、配顧の断 切れを選上し得る活動性の高い辛母体装置の製 連方法を提供できるものである。

4. 図塗の簡単を説明

第1図(a)、(a)は従来の半年体袋造の製造方法 全工程度に示す新面図、第2図はコンタクトの とりやすさとコンタクト穴の保さ、コンタクト 色の定との製保を示す特性図、第3図(a)~(c)は 送来の他の半部体装置の製造方法を工程製に示 す新面図、第4図(a)~(c)は本発明の一実設例を 示す半等体装置の製造方法を工程線に示す新面 図、第5図は第4図(b)とは異なるBPSG 酸の設存 次態を記到するための新面図である。

1 1 … p 型の Si 数数(半導体基本)、 1 2 … 熱酸化漿、 1 3 …配験、 7 4 … SiO₂ 溴、 1 5 , 1 5' , 1 6 , 1 7 … SPSG 膜(低温器凝性筋膜)。

第 1 图 (a) (b) 第 2 图 (b) (c)

:/5

預問859-181648(4)







